

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:58/審判18:53/文書24807405255 P.24

result/detail/inf/ WAAAXawweDA4081/1363P1.htm/... 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-171363

(43)Date of publication of application : 02.07.1996

(Int. 2, 1996)

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
H04N 5/66

(21)Application number : 08-280101

(71)Applicant : SONY CORP

(22)Date of filing : 19.10.1994

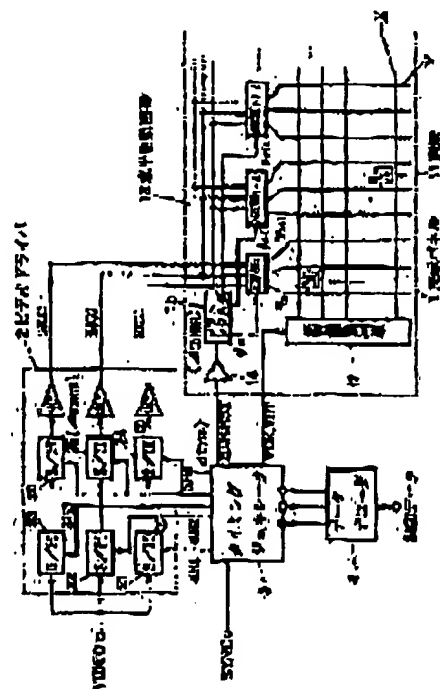
(72)Inventor : NAKAJIMA YOSHIDARU

## (54) DISPLAY DEVICE

## (57)Abstract

PURPOSE: To prevent the occurrence of a vertical stripe ghost in a plural pixels simultaneous sampling system.

CONSTITUTION: A display panel 1 is provided with a horizontal drive circuit 13 simultaneously sampling a pixel 11 in a crossing part between gate and data lines X, Y orthogonal each other and plural video signals SIG1, 2, 3 and distributing them to data lines Y of the number of prescribed pieces. A video driver 2 delay processes plural video signals SIG1, 2, 3 according to the arrangement pitch of the pixel 11, and adjusts the supply timing of the video signals to the display panel 1. A timing generator 3 supplies a clock signal HOK to the horizontal drive circuit 13, and performs timing control of simultaneous sampling to control the delay processing of the video driver 2. Further, it optimizes the supply timing of the video signals SIG1, 2, 3 inputted to the display panel 1 for the timing of the simultaneous sampling.



## LEGAL STATUS

[Date of request for examination] 26.06.2000

[Date of sending the examiner's decision of rejection] 07.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-01812

[Date of requesting appeal against examiner's decision of rejection] 08.02.2003

[Date of extinction of right]

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:58/審18:53/文審号4807405255 P 25

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-171363

(43) 公開日 平成8年(1996)7月2日  
(Jnl. 2, 1996)

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/38				
G 0 2 F 1/133	5 5 0			
H 0 4 N 5/06	1 0 2 B			

審査請求 未請求 請求項の数6 F D (全 8 頁)

(21) 出願番号 特願平6-280101

(22) 出願日 平成6年(1994)10月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

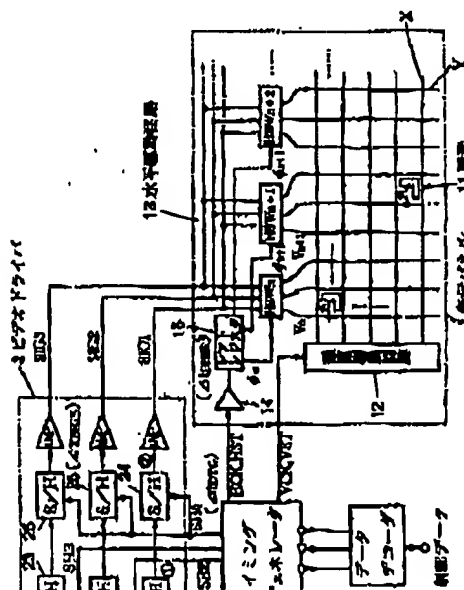
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【目的】 複数画素同時サンプリング方式における縦筋ゴーストの発生を防止する。

【構成】 表示パネル1は直交するゲート及びデータラインX、Yの交差部の画素11及び複数の映像信号SIG1、2、3を同時にサンプリングして所定本数のデータラインYに分配する水平駆動回路13を備えている。ビデオドライバ2は画素11の配列ピッチに応じて複数の映像信号SIG1、2、3を遅延処理し、表示パネル1への映像信号の供給タイミングを調整する。タイミングジェネレータ3は水平駆動回路13にクロック信号HCKを供給し同時サンプリングのタイミング制御を行ない、ビデオドライバ2の遅延処理を制御する。また、表示パネル1に入力する映像信号SIG1、2、3の供給タイミングを同時サンプリングのタイミングに対し最適化する。



FROM HARAKENZO PAT.

2006年 1月27日(金) 18:58/審判18:53/文書号4807405255 P 26

(2)

特開平8-171363

1

2

## 【特許請求の範囲】

【請求項1】 互いに直交するゲートライン及びデータラインの各交差部に配列した画素及び複数の映像信号を同時にサンプリングして所定本数のデータラインに一斉分配する駆動回路を備えた表示パネルと、予め画素の配列ピッチに応じて該複数の映像信号を相対的に遅延処理し該表示パネルに対する映像信号の供給タイミングを調整するビデオドライバと、該表示パネルに含まれる駆動回路の同時サンプリング周期を制御すると共に該ビデオドライバの遅延処理をタイミング制御するタイミングジェネレータとを有する表示装置であって、前記タイミングジェネレータは該同時サンプリング周期を可変切り換え可能であると共に、該可変切り換えに応じて該ビデオドライバの遅延処理タイミングを制御し、該表示パネルに入力する映像信号の供給タイミングを該同時サンプリング周期に対し最適化することを特徴とする表示装置。

【請求項2】 前記ビデオドライバは該映像信号の遅延処理を行なうサンプルホールド回路を有しており、前記タイミングジェネレータは該サンプルホールド回路の遅延処理タイミングを規定するラッチ信号と該駆動回路の同時サンプリング周期を規定するクロック信号を出力すると共に該ラッチ信号とクロック信号の位相差を調整して該映像信号の供給タイミングを最適化する事を特徴とする請求項1記載の表示装置。

【請求項3】 互いに直交するゲートライン及びデータラインの各交差部に配列した画素及び複数の映像信号を同時にサンプリングして所定本数のデータラインに一斉分配する駆動回路を備えた表示パネルと、予め画素の配列ピッチに応じて該複数の映像信号を遅延処理し該表示パネルに対する映像信号の供給タイミングを調整するビデオドライバと、該表示パネルに含まれる駆動回路にクロック信号を供給し該同時サンプリングのタイミング制御を行なうと共に該ビデオドライバの遅延処理を同期的に制御するタイミングジェネレータとを有する表示装置であって、前記タイミングジェネレータは該ビデオドライバが行なう遅延処理のタイミングを可変制御し該表示パネルに入力する映像信号の供給タイミングを該同時サンプリングのタイミングに対し最適化する事を特徴とする表示装置。

【請求項4】 前記タイミングジェネレータは、該ビデオドライバ内で生じる映像信号の転送遅れに応じて該遅延処理タイミングを可変制御する事を特徴とする請求項3記載の表示装置。

【請求項5】 前記タイミングジェネレータは、該駆動

処理を行なうサンプルホールド回路を有しており、前記タイミングジェネレータは該サンプルホールド回路の遅延処理タイミングを規定するラッチ信号を出力すると共に該ラッチ信号と該クロック信号の位相差を調整して該映像信号の供給タイミングを最適化する事を特徴とする請求項3記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は表示パネルとビデオドライバとタイミングジェネレータとからなる表示装置に関する。より詳しくは、複数画素同時サンプリング方式を採用する表示装置の駆動制御技術に関する。

## 【0002】

【従来の技術】複数画素同時サンプリング方式はアクティブマトリクス型の液晶表示パネル等により代表される表示パネルの駆動方式として有力であり、例えば特開平4-116687号公報に開示されている。この方式によれば、カラー表示パネルは垂直方向に平行に配設され連続する三本毎に夫々赤(R)、緑(G)、青(B)の組をなす複数のデータラインを有している。又、水平方向に平行に配設された複数のゲートラインを有している。さらに、データライン及びゲートラインの各交差部に夫々スイッチング素子を介して接続された画素電極を有している。この画素電極は垂直方向(列方向)の一つおきに水平方向(行方向)に1/2画素ピッチ分ずらされて設けられていると共に、垂直方向の一つおきに該データラインに対して左右に交互に接続されている。加えて、データラインに対応して夫々設けられた複数の水平スイッチを有している。さらに、これらの水平スイッチを介して各データラインの各色毎に接続された三本のビデオラインを有しており、ビデオドライバから供給されたR、G、Bの映像信号を受け入れる。かかる構成において、水平スイッチをR、G、Bの組を単位として同時に制御する水平駆動回路が設けられており、所謂RGB三面素同時サンプリング駆動を行なう。この際、三本のビデオラインに供給されるR、G、Bの映像信号に予め画素ピッチに対応する遅延量を相対的に与える遅延手段がビデオドライバに設けられている。R、G、Bの映像信号に画素ピッチに対応する遅延量を相対的に与えると共に水平スイッチをR、G、Bの組を単位として同時に開閉制御する事により、この水平スイッチを駆動する水平駆動回路(例えばシフトレジスタ)の段数を削減して構成を簡単にすると共に消費電力も削減して、良好なカラー表示画像が得られる様にしている。R、G、Bの各水平スイッチはシフトレジスタから出力されるサンプリングパルスで同時に開閉制御される構成になっているの

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:58/審判18:53/文書番号4807405255 P 27

(3)

特開平8-171363

3

4

【発明が解決しようとする課題】複数画素同時サンプリング方式を採用する表示装置では、特定の条件下で原理的に縦筋のゴーストが発生するという課題がある。例えば、表示パネルに供給する映像信号の変化が速く、この変化時間が複数画素分に割り当てられたサンプリング時間よりも長い場合にゴーストが発生する。あるいは表示パネルに供給する映像信号の変化時間が十分速くとも、この変化領域と表示パネルに内蔵される水平スイッチの閉じるタイミングが重なってしまうとゴーストが発生する。第一の条件は、表示パネルの水平方向の画素数が増加し、水平転送クロック信号の周波数  $f_{HCL}$  が大きくなる程生じやすくなる。又、第二の条件は、 $f_{HCL}$  に依存して生じたり生じなかったりするが  $f_{HCL}$  が大きい程起りやすくなる。従来の表示パネルでは、上述した条件が成立する程画素数多くはなかった。即ち、 $f_{HCL}$  はそれ程速くなかった。又、表示パネルに内蔵される水平駆動回路は、略一定の周波数  $f_{HCL}$  で動作する事が多く、一度設定した最適な条件から外れて上述した特定条件の中に入ってしまう様な事もなかった。しかしながら、近年盛んに開発されている超高精細な表示パネルでは、上述した特定条件を外して、あるマージンを確保しながら最適条件を見つける事は非常に困難である。換言すると、非常に難しい設計仕様が要求される。又、マルチメディア対応として、16:9のアスペクト比等様々な信号規格の画像表示を行なう場合、表示パネルの水平転送クロック信号の周波数が多様に変化する為に、最適条件を見つける事はさらに困難になる。

【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決する為以下の手段を講じた。即ち、本発明にかかる表示装置は基本的な構成として表示パネルとビデオドライバとタイミングジェネレータとを有する。表示パネルは、互いに直交するゲートライン及びデータラインの各交差部に配列した画素及び複数の映像信号を同時にサンプリングして所定本数のデータラインに一斉分配する駆動回路を備えている。ビデオドライバは予め画素の配列ピッチに応じて該複数の映像信号を相対的に遅延処理し該表示パネルに対する映像信号の供給タイミングを調整する。タイミングジェネレータは該表示パネルに含まれる駆動回路の同時サンプリング周期を制御すると共に、該ビデオドライバの遅延処理をタイミング制御する。特徴事項として、前記タイミングジェネレータは該同時サンプリング周期を可変切り換え可能であると共に、該可変切り換えに応じて該ビデオドライバの遅延処理タイミングを制御し該表示パネルに入力する映像信号の供給タイミングを該同時サンプリング周期に対し最適

ラッチ信号と該駆動回路の同時サンプリング周期を規定するクロック信号を出力する。かかる構成において、前記タイミングジェネレータは該ラッチ信号とクロック信号の位相差を調整して該映像信号の供給タイミングを最適化している。

【0005】本発明の他の側面によれば、表示装置は基本的な構成として表示パネルとビデオドライバとタイミングジェネレータとを有する。表示パネルは互いに直交するゲートライン及びデータラインの各交差部に配列した画素及び複数の映像信号を同時にサンプリングして所定本数のデータラインに一斉分配する駆動回路を備えている。ビデオドライバは予め画素の配列ピッチに応じて該複数の映像信号を遅延処理し該表示パネルに対する映像信号の供給タイミングを調整する。タイミングジェネレータは該表示パネルに含まれる駆動回路にクロック信号を供給し該同時サンプリングのタイミング制御を行なうと共に該ビデオドライバの遅延処理を同期的に制御する。特徴事項として、前記タイミングジェネレータは該ビデオドライバが行なう遅延処理のタイミングを可変制御し該表示パネルに入力する映像信号の供給タイミングを該同時サンプリングのタイミングに対し最適化する。例えば、前記タイミングジェネレータは該ビデオドライバ内で生じる映像信号の転送遅れに応じて該遅延処理タイミングを可変制御する。あるいは、前記タイミングジェネレータは該駆動回路内で生じるクロック信号の転送遅れに応じて該遅延処理タイミングを可変制御する。一態様によれば、前記ビデオドライバは映像信号の遅延処理を行なうサンプルホールド回路を有している。前記タイミングジェネレータは該サンプルホールド回路の遅延処理タイミングを規定するラッチ信号を出力する。かかる構成において、前記タイミングジェネレータは該ラッチ信号と該クロック信号の位相差を調整して該映像信号の供給タイミングを最適化する。

【0006】

【作用】本発明の第一側面によれば、本表示装置は種々の異なった規格の映像信号に対応できる様になっている。即ち、前記タイミングジェネレータは映像信号の規格に従って所定の周期の水平転送クロック信号を表示パネルに入力し、その同時サンプリング周期を映像信号の規格に合わせて切り換える様にしている。さらに、タイミングジェネレータはこの切り換えに応じてビデオドライバの遅延処理タイミングを制御し表示パネルに入力する映像信号の供給タイミングを最適化する。これにより、縦筋のゴーストを抑制する事が可能になる。本発明の第二の側面によれば、タイミングジェネレータはビデオドライバが行なう遅延処理のタイミングを可変制御す

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:59/蓄積18:53/文書番号4807405255 P 28

(4)

特開平8-171363

5

あるいは、水平駆動回路内で生じるクロック信号の転送遅れに応じて該遅延処理タイミングを可変制御する。かかる構成により、縦筋のゴーストを除去する事が可能になる。

【0007】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示装置の基本的な構成を示すブロック図である。本表示装置は表示パネル1とビデオドライバ2とタイミングジェネレータ3とを備えている。表示パネル1は画素アレイ部と周辺駆動回路部とを有している。画素アレイ部は互いに直交するゲートラインX及びデータラインYの各交差部に配列した画素11を含んでいる。この画素11は画素電極と薄膜トランジスタの組からなる。薄膜トランジスタのゲート電極は対応するゲートラインに接続され、ソース電極は対応するデータラインYに接続され、ドレイン電極は対応する画素電極に接続されている。又、図示しないが所定の間隙を介して画素電極に対向電極が対面配置しており、該間隙に液晶が封入されている。一方、周辺駆動回路部は垂直駆動回路12と水平駆動回路13に分かれている。垂直駆動回路12は各ゲートラインXに接続されており、縦順次で一ライン分の画素11を選択する。即ち、垂直駆動回路12はシフトレジスタを含んでおり、垂直転送クロック信号VCKに応じて垂直スタートパルスVSTを順次転送し、各ゲートラインXにゲートパルス outputs。これに対し、水平駆動回路13は複数の映像信号SIG1, SIG2, SIG3を同時にサンプリングして所定本数(本例では三本)のデータラインYに一斉分配する。具体的には、水平駆動回路13は入力バッファ14とシフトレジスタ15と複数の水平スイッチHSW<sub>n</sub>, HSW<sub>n+1</sub>, HSW<sub>n+2</sub>, ..., を含んでいる。一組の水平スイッチHSWは三本のデータラインYに接続されている。上述した三個の映像信号SIG1, SIG2, SIG3は各HSWを介して対応する三本のデータラインYに同時サンプリングされる。シフトレジスタ15はバッファ14を介して入力される水平転送クロック信号HCKに応じて水平スタートパルスHSTを順次転送し、サンプリングパルスφ<sub>1</sub>, φ<sub>2</sub>, φ<sub>3</sub>, ..., を出力する。このサンプリングパルスφ<sub>1</sub>に応じて対応する水平スイッチHSWが開閉制御され、上述した同時サンプリングが行なわれる。以上の説明から理解される様に、水平転送クロック信号HCKが上述した同時サンプリングの周期を規定している。

【0008】ビデオドライバ2は予め画素11の配列ピッチに応じて複数の映像信号SIG1, SIG2, SIG3を相対的に遅延処理し、表示パネル1に対する各映

6

2, SIG3の各々に対して設けられた三個の前段サンプルホールド(S/H)ユニット21, 22, 23と、これらに接続した三個の後段S/Hユニット24, 25, 26とを有する。前段S/Hユニット21と後段S/Hユニット24の組により映像信号SIG1に対応した遅延チャネルが構成され、前段S/Hユニット22と後段S/Hユニット25の組で映像信号SIG2に対応した遅延チャネルが構成され、前段S/Hユニット23と後段S/Hユニット26の組で映像信号SIG3に対応した遅延チャネルが構成される。各前段S/Hユニット21, 22, 23は互いに独立して制御される一方、各後段S/Hユニット24, 25, 26は互いに同期して制御される。なお、各遅延チャネルの出力段には増幅器AMPが接続されている。本例では単色のビデオ信号VIDEOを三個の遅延チャネルに分配し、相対的に遅延処理された三個の映像信号SIG1, SIG2, SIG3を出力している。入力されるビデオ信号VIDEOには様々な規格がありNTSC, NTSCWIDE, HD, VGA等が挙げられる。なお本例では単色のビデオ信号を入力しているが、これに代え予めRGB三色色に分かれた三種のビデオ信号を各遅延チャネルに入力する事も可能である。この場合には表示パネル1はフルカラー表示を行なう事になる。

【0009】タイミングジェネレータ3は表示パネル1に含まれる水平駆動回路13の同時サンプリング周期を制御すると共に、ビデオドライバ2の遅延処理をタイミング制御する。具体的には、タイミングジェネレータ3は外部入力される同期信号SYNCに応じて動作し、上述した水平スタートパルスHST、水平転送クロック信号HCK、垂直スタートパルスVST、垂直転送クロック信号VCK等を表示パネル1に供給しその駆動制御を行なう。又、このタイミングジェネレータ3はビデオドライバ2のサンプルホールド回路に対し複数のラッチ信号SH1, SH2, SH3, SH4を供給する。これらのラッチ信号によりサンプルホールド回路に含まれる各遅延チャネルの処理タイミングを規定する。具体的には、ラッチ信号SH1により第1の前段S/Hユニット21を最初に開動作させ、次にSH2により第2の前段S/Hユニット22を開動作させ、且つSH3により第3の前段S/Hユニット23を持続動作させる。さらにSH2の出力後SH4を出力し三個の後段S/Hユニット24, 25, 26を一斉に開動作させる。

【0010】本発明の特徴事項として、タイミングジェネレータ3は同時サンプリング周期を可変切り換え可能であると共に、この可変切り換えに応じてビデオドライバ2の遅延処理タイミングを制御し、表示パネル1にス

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:59/番18:53/文番号4807405255 P 29

(5)

特開平8-171363

7

遅延処理タイミングを規定するラッチ信号SH1, SH2, SH3, SH4と水平駆動回路13の同時サンプリング周期を規定する水平転送クロック信号HCKを出力すると共に、ラッチ信号SH4とクロック信号HCKの位相差( $\Delta t_{org}$ )を調整して映像信号SIG1, SIG2, SIG3の供給タイミングを最適化する。なお、上述した同時サンプリング周期の可変切り換えは、ビデオドライバ2に入力されるビデオ信号VIDEOの規格に従って自動的に行なわれる。この制御を実行する為に、タイミングジェネレータ3にはデータデコーダ4が

接続されている。  
【0011】本発明の第二の特徴事項として、タイミングジェネレータ3はビデオドライバ2が行なう遅延処理のタイミングを可変制御し、表示パネル1に入力する映像信号SIG1, SIG2, SIG3の供給タイミングを同時サンプリングのタイミングに対し最適化している。例えば、タイミングジェネレータ3はビデオドライバ2内で生じる映像信号の転送遅れ( $\Delta t_{org}$ )に応じて遅延処理タイミング( $\Delta t_{org}$ )を可変制御する。なお $\Delta t_{org}$ はビデオドライバ2に内蔵されるAMPの信号処理過程における遅延時間を表わしている。一方、 $\Delta t_{org}$ は前述した様にタイミングジェネレータ3の出力時におけるラッチ信号SH4と水平転送クロック信号HCKの位相差を表わしている。さらにタイミングジェネレータ3は水平駆動回路13内で生じる水平転送クロック信号HCKの転送遅れ( $\Delta t_{org}$ )に応じて遅延処理タイミング( $\Delta t_{org}$ )を可変制御する。なお、 $\Delta t_{org}$ は入力バッファ14及びシフトレジスタ15のバルス変換過程における遅延時間を表わしている。

【0012】次に図2を参照して、図1に示した表示装置の動作を詳細に説明する。なお、このタイミングチャートは説明の都合上ゴースト除去を目的とする最適化制御の行なわれる前の状態を表わしている。先ず、一画素にのみ白色を書き込むビデオ信号VIDEOが入力されたとする。ここでは、表示パネルはノーマリブラックモードとする。ビデオドライバ2にラッチ信号SH1がタイミングジェネレータ3から入力され、第一遅延チャンネルの前段S/Hユニット21が間欠動作し、①で示す様にVIDEOの白色レベルをサンプルホールドする。次のタイミングでラッチ信号SH1が入力された時にはVIDEOの黒レベルをサンプルホールドする事になる。最初のSH1が出力された後画素の配列ピッチに応じてラッチ信号SH4がタイミングジェネレータ3から入力される。これにより、第一遅延チャンネルの後段S/Hユニット24からの示す様な白色レベルの信号が出力さ

8

\*れる。①と②を比較すれば明らかな様に、映像信号に対し二画素分に相当する遅延処理が行なわれている。同様に、二番目のSH1が出力された後所定の時間間隔でSH4が出力され、②の信号は黒レベルに復帰する。この後、信号②はAMPを介してSIG1となり表示パネル1に供給される。この際SIG1は $\Delta t_{org}$ 分だけ遅延が生じる。さらに、SIG1が白レベルから黒レベルに変化するまで一定の遅移時間Aを要する。

【0013】一方、水平駆動回路13にはタイミングジェネレータ3から水平転送クロック信号HCKが入力される。HCKの一周期を $\Delta t_{HCK}$ で表わす。図示する様に、SH4とHCKとの間には $\Delta t_{org}$ 分だけ位相差がある。この位相差は調整可能なパラメータである。シフトレジスタ15はHCKに応じて動作しHSTを順次転送してサンプリングパルス $\phi_1, \phi_2, \dots$ を順次出力する。HCKと $\phi$ との間には一定の時間遅れ $\Delta t_{org}$ が生じている。最初のサンプリングパルス $\phi_1$ に応じてSIG1が対応するデータラインYにサンプリングされる。このデータラインYの電位を $V_n$ で表わす。図示する様に、 $\phi_1$ が入力するとHSW<sub>n</sub>が開き、映像信号SIG1の書き込みが行なわれる。 $\phi_1$ が立ち下がった時点で書き込まれた電位 $V_n$ が固定され、次のフィールドまで保持される。 $\phi_1$ が立ち下がった時点でSIG1は白レベルにある為、正しく白レベルが対応する一画素に書き込み保持された事になる。次のサンプリングパルス $\phi_2$ が出力されるとHSW<sub>n+1</sub>が開き、対応するデータラインYにSIG1がサンプリングされる。このデータラインYの電位を $V_{n+1}$ で表わす。図示する様に、 $\phi_2$ の立ち下がり時点が丁度SIG1の遅移時間領域Aにかかっている。この為、画素には完全な黒レベルが書き込まれず $\Delta V$ だけ誤差が生じている。図2に設定した条件では最初の一画素にのみ白レベルが書き込まれ、残りの画素には黒レベルが書き込まなければならない。しかしながら、誤差 $\Delta V$ が生じる為、白レベルが書き込まれた一画素の3ドット先に位置する画素に黒レベルではなく灰色レベルが書き込まれてしまう。これが、複数画素同時サンプリング方式における縦筋ゴーストの発生原因である。

【0014】図2のタイミングチャートに示した様に、信号処理過程における各種遅延時間の関係によって、ゴースト現象が起り得る。ゴーストの起る条件は表示パネル1に入力される映像信号SIGの遅移時間A内においてサンプリングパルス $\phi$ が立ち下がる事である。このゴーストの起る条件を式で表わすと次の様になる。

【数1】

 $\Delta t_{HCK}$

FROM HARAKENZO PAT.

2006年 1月27日(金) 18:59/巻頭18:53/文番号4807405255 P 30

(6)

特開平8-171363

9

10

0015は表示パネル1の水平駆動回路13内における遅延時間を表わし、 $\Delta t_{\text{sync}}$ はタイミングジェネレータ3の出力時におけるラッチ信号SH4に対する水平転送クロック信号HCKの遅延時間を表わし、 $\Delta t_{\text{sync}}$ は表示パネル1の水平転送周期(即ち、 $1/f_{\text{sync}}$ )を表わし、Aは前述した様に表示パネル1に入力される映像信号SIGの遅延時間を表わしている。又、kは整数を表わし、 $k=1$ の時次のサンプリングタイミングでゴーストが現われ、 $k=2$ の時次の次のサンプリングタイミングでゴーストが現われる条件を表わしている。

【0015】本発明の特徴事項は、上記の条件式を満たさない様に $\Delta t_{\text{sync}}$ を状況に応じて意図的に変化させる事にある。この点につき、再び図1に戻って説明を続ける。タイミングジェネレータ3にラッチ信号の位相 $\Delta t_{\text{sync}}$ を切り換えられるスイッチを用意し、状況に応じてこのスイッチ設定を変化させる様にしている。スイッチの設定を決めるデータはパラレルデータでも良いし、本例の様にマイコン等のインタフェースを考慮しシリアルデータをデータデコーダ4でパラレルデータに変換した形でも良い。何れにしても、このスイッチ設定は以下の様な状況の時に変化させる。第一に、上記の条件式において $\Delta t_{\text{sync}}$ 、A、 $\Delta t_{\text{sync}}$ が固定で、 $\Delta t_{\text{sync}}$ (即ち水平転送クロック信号の周波数 $f_{\text{sync}}$ )が変化する時が挙げられる。この状況は例えば表示装置に様々な規格のビデオ信号(例えば16:9のアスペクト比に合わせたビデオ信号)を入力しようとする時に生ずる。 $\Delta t_{\text{sync}}$ の変化により上記条件式が成立するのを防ぐ様に、 $\Delta t_{\text{sync}}$ を調整する。第二に、上記条件式において $\Delta t_{\text{sync}}$ 、A、 $\Delta t_{\text{sync}}$ が固定で、 $\Delta t_{\text{sync}}$ が変化する場合が挙げられる。この状況は、表示パネル内の水平駆動回路が薄膜トランジスタ等デバイス間バラツキの大きい構造である場合に生じる。各デバイスの $\Delta t_{\text{sync}}$ に応じて、上記条件式を成立させない様に $\Delta t_{\text{sync}}$ を調節する。第三に、上記条件式において $\Delta t_{\text{sync}}$ 、 $\Delta t_{\text{sync}}$ 、 $\Delta t_{\text{sync}}$ が固定で、 $\Delta t_{\text{sync}}$ 、Aが変化した場合が挙げられる。この状況は $\Delta t_{\text{sync}}$ 及びAの値を決定するビデオドライバ2の特性が変化した時に起り得る。 $\Delta t_{\text{sync}}$ 及びAの変化に応じて上記条件式を満たさない様に $\Delta t_{\text{sync}}$ を調節する。

【0016】上記実施例ではビデオドライバ中に三画素の時間合わせのためのアナログサンプルホールド回路を設けており、この回路に供給するラッチ信号の位相 $\Delta t_{\text{sync}}$ を制御する事により、上記条件式の成立を防止している。この $\Delta t_{\text{sync}}$ を制御するという事は、換言すると「表示パネルに供給する映像信号のデータ変化点を制御する」という事である。従って、映像信号のデータ変化

／Aコンバータの読み出しタイミングを制御する事で、本実施例と全く同様の制御が可能である。この例を参考の為図3に示しておく。図示する様に、本表示装置は表示パネル1とビデオドライバ2とタイミングジェネレータ3とを有している。ビデオドライバ2はデジタル構成であり、入力段に位置するA/Dコンバータ201と出力段に位置する三チャンネルのD/Aコンバータ202とメモリ203とプロセッサ204とを備えている。タイミングジェネレータ3はD/Aコンバータ202に供給する読み出し用パルス $\phi_{\text{sync}}$ の位相制御を行なう事により、アナログ映像信号AR、AG、ABの供給タイミングを最適化し、縦筋ゴーストの除去を図っている。なお、D/Aコンバータ202はプロセッサ204から出力されたデジタルの映像信号DR、DG、DBを $\phi_{\text{sync}}$ に応じて順次アナログの映像信号AR、AG、ABに変換するものである。

【0017】

【発明の効果】以上説明した様に、本発明によれば、複数画素同時サンプリング方式を採用した表示装置においてビデオドライバの遅延処理タイミングを制御し表示パネルに入力する映像信号の供給タイミングを最適化する事により、ゴースト現象を最大限防止する事が可能である。これにより画質劣化を防ぐ事ができる。又、データ変換過程の不安定な領域におけるサンプリングを行なわない事から、表示パネルのユニフォーミティ劣化を防ぐ事ができる。加えて、いかなる規格のビデオ信号(NTSC、NTSCWIDE、HD、VGA等)を入力しても、これに応じてゴースト現象による画質劣化やユニフォーミティ劣化を防ぐ事ができるシステムを構築可能にしている。

【図面の簡単な説明】

【図1】本発明にかかる表示装置の基本的な構成を示すブロック図である。

【図2】本発明にかかる表示装置の動作説明に供するタイミングチャートである。

【図3】本発明にかかる表示装置の他の構成例を示すブロック図である。

【符号の説明】

- 1 表示パネル
- 2 ビデオドライバ
- 3 タイミングジェネレータ
- 4 データデコーダ
- 11 画素
- 12 垂直駆動回路
- 13 水平駆動回路
- 16 シフトレジスタ

FROM HARAKENZO PAT.

2006年 1月27日(金) 19:00/審判18:53/文審番号4807405255 P 31

(7)

特開平8-171963

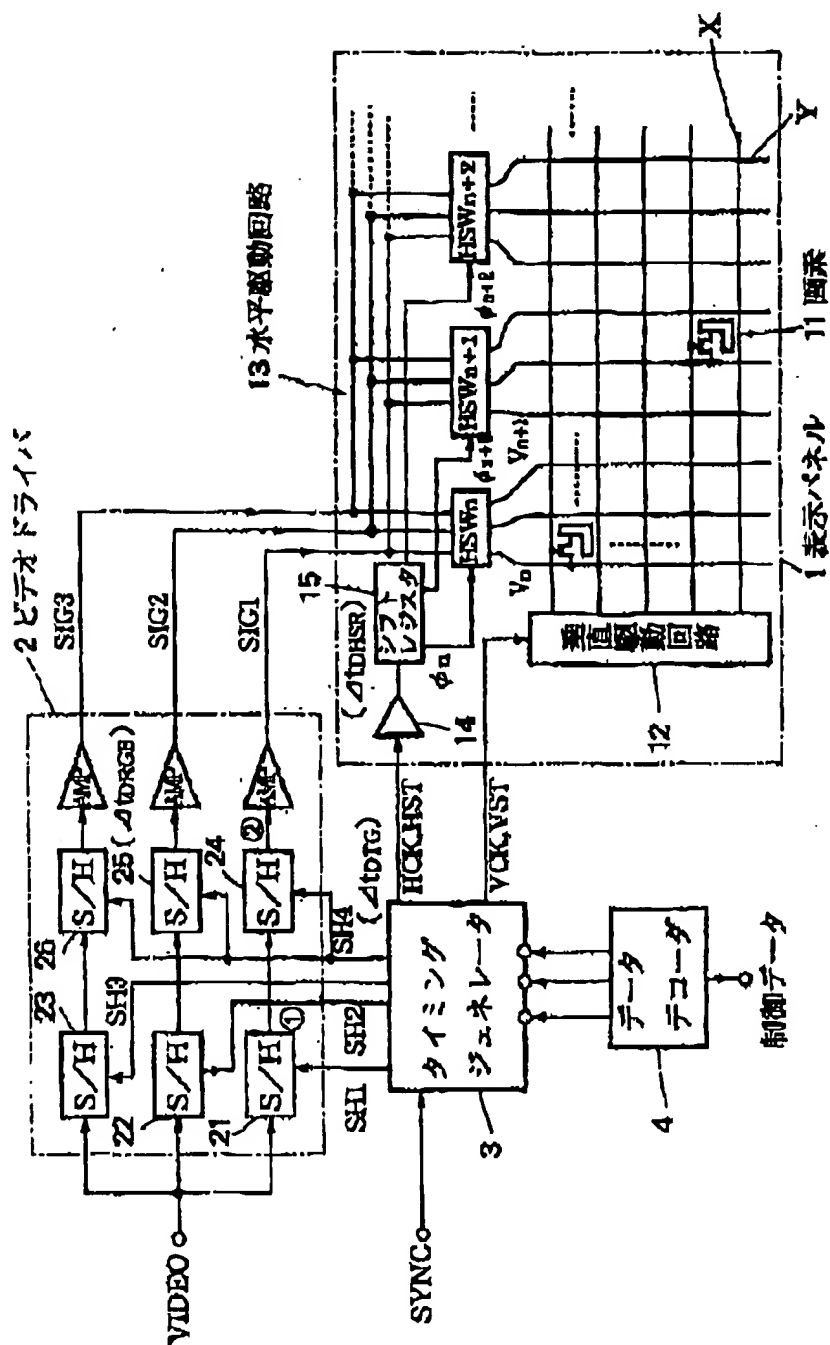
11

25 サンプルホールドユニット

12

26 サンプルホールドユニット

【図1】





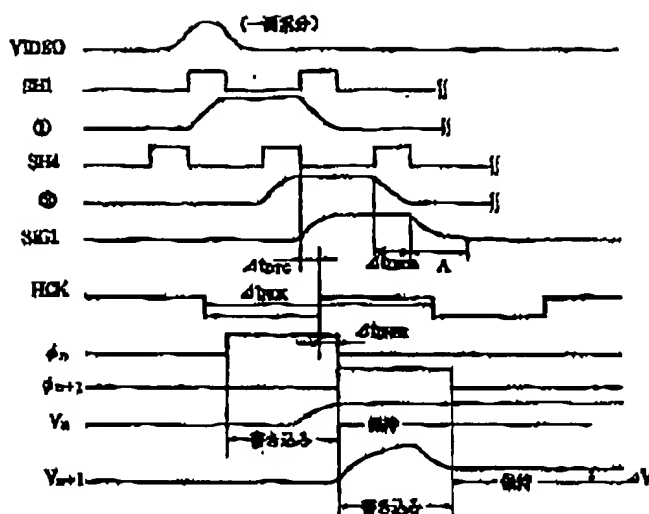
FROM HARAKENZO PAT.

2006年 1月27日(金) 19:00/審判18:53/文番号4807405255 P 32

(8)

特開平8-171363

【図2】



【図3】

